

Japanese Patent Application Laid-Open Number

Japanese Laid-Open Patent Publication No. H7-50380

[Title of the Invention] SEMICONDUCTOR DEVICE

[Abstract]

[Object] The provision of a semiconductor device that can prevent lead bending effectively

[Constitution] In the center of a resin package 1 of a rectangular body, a semiconductor chip 7, which is fixed on a tab 6, is located. In the vicinity of the periphery of the semiconductor chip 7, the inner ends of the leads 2 are arranged. The inner ends of the leads are connected to the electrodes of the semiconductor chip 7 by wires 9. The lead 2 bends downward in the package 1 and projects at the lower face 5 of the package 1. The projecting lead 2 bends at the projection position and extends to stick to the lower face of the package 1 so as to form an external terminal 3. The external terminal 3 has only its lower face and outer end exposed from the package 1 but has its side portion embedded in the package 1, and the outer end hardly projects from the rim of the package 1, so that lead bending hardly occurs. The external terminal 3 also serves as a measurement terminal for characteristics tests (a test pad).

[Claims]

[claim 1] A semiconductor device having a package and a plurality of leads projecting from the package, wherein the lead

bends on the way in the package and projects at one of front and back faces of the package at somewhere except for edges, and the lead bends at a projection position and extends to stick to the one face of the package.

[claim 2] The semiconductor device according to claim 1, wherein the front and back faces of the package are parallel to each other, and the lead projecting at a lower face and bending has only its lower face and outer end exposed from the package.

[claim 3] The semiconductor device according to claim 1 or 2, wherein the outer end of the lead is substantially the same as the package without projecting long from the rim of the package.

[Detailed Description of the Invention]

[0001]

[Industrial Field of Utilization] The present invention relates to a semiconductor device and particularly to a semiconductor device having test pads for electrical characteristics tests on a surface of a package.

[0002]

[Prior Art] In electronic equipment, high-density packaging has been requested in respect of function, and lighter, smaller, and thinner equipment has been requested in respect of packaging. Accordingly, the pitch of the terminals (leads, pins) of electronic parts incorporated decreases, and the number of the terminals increases, so that the number of pins tends to increase. In addition, as a package form, resin molded (resin

package) type semiconductor devices, which use inexpensive materials and provide good productivity, are often used in order to reduce the cost of manufacturing electronic parts. For the resin package type semiconductor devices, those using a metal lead frame, those using an insulating film that has leads formed on its surface (TCP: Tape Carrier Package), and the like are known.

[0003] A semiconductor device using a lead frame is described in "Hitachi Hyoron," No. 3, 1992, published by Hitachi Hyoronsha on March 25, 1992, p75-p80. This literature discloses, as smaller and thinner packages, TSOP (Thin Small Outline Package), SSOP (Shrink Small Outline Package), TQFP (Thin Quad Flat Package), and STZIP (Shrink Thin Zigzag Inline Package). In SOP (Small Outline Package), outer leads are located at two sides of a package, and in QFP (Quad Flat Package), outer leads are located at four sides of a package.

[0004] Also, "Denshi Zairyo," September, 1984, published by Kogyo Chosakai on September 1, 1984, page 64, describes that the types of terminal shapes in general flat packages include (a) J type lead (Rolled-under), (b) Gull-wing, (c) Butt-lead, and (d) Flat lead.

[0005] On the other hand, "National Technical Report," April, 1993, published by Ohmsha on April 18, 1993, P104-P112, describes a 0.3 mm-pitch QFP packaging technique. This literature describes that "As methods of ensuring lead bending

accuracy against risks during test, shipment, packing, and transport,...QFP with a protection ring...a TPQ (Test Pad with QFP) type package are proposed....TPQ is a package in which a size difference is made between the upper and lower portions of the mold portion and test terminals are arranged in their step difference portion,..." TPQ is also described in "Nikkei Microdevices," September, 1992, published by Nikkei BP, Inc. on September 1, 1992, P15. This literature describes that "The defect of the new structure is that packaging density slightly decreases. For a 14 mm square package, the number of pins decreases by about 14%. But, this ratio decreases as package size increases."

[0006]

[Problems That the Invention is to Solve] In order to prevent lead bending, as also described in the above literatures, semiconductor devices in which test terminals (test pads) are provided on a surface of a package (semiconductor devices with test pads) have been developed. The present invention also relates to a technique similar to the above.

[0007] It is an object of the present invention to provide a semiconductor device that can prevent lead bending effectively. The above and other purposes and new features of the present invention will be apparent from the description of the specification and the attached drawings.

[0008]

[Means of Solving the Problems] Among inventions disclosed in this application, the summary of a typical one is briefly described as follows. A semiconductor device of the present invention has an external structure having a package and a plurality of leads projecting from the package. The lead bends on the way in the package and projects at the lower face (back face) of the package at somewhere except for edges, and the lead bends at the projection position and extends to stick to the lower face of the package. The lead projecting at the lower face and bending has only its lower face and outer end exposed from the package and has its side portion embedded in the package. The package is simple rectangular body-shaped, and the front and back faces of the package are parallel to each other. The outer end of the lead extends to substantially the rim of the package without projecting long from the rim of the package. This exposed lead portion serves as an external terminal and also as a measurement terminal for characteristics tests.

[0009]

[Operation] According to the above means, in the semiconductor device of the present invention, the lead projects out of the package from the back face in the package at somewhere except for edges, the lead bends at the projection position and sticks to be embedded at the lower face of the package, and the lead tip end extends to the rim of the package without projecting long from the rim of the package. Therefore, there is no fear

that the lead catches other things, so that lead bending can be prevented. In addition, the lead projecting at the lower face of the package bends at the projection position and sticks to be embedded at the lower face of the package, and one face of the lead is exposed, so that the lead can be used as an external terminal or a measurement terminal.

[0010]

[Embodiment] An embodiment of the present invention is described below with reference to drawings. Fig. 1 is a cross-sectional view showing a semiconductor device according to an embodiment of the present invention; Fig. 2 is also a bottom view; Fig. 3 is a plan view of a lead frame for use in the manufacture of the semiconductor device of the present invention; Fig. 4 is also a cross-sectional view of the lead frame; Fig. 5 is also a plan view showing the lead frame in which chip bonding and wire bonding are completed in the manufacture of the semiconductor device; Fig. 6 is also a cross-sectional view of the lead frame in which wire bonding is completed; Fig. 7 is also a cross-sectional view of the lead frame in a transfer molded state; and Fig. 8 is also a cross-sectional view showing a lead cut state.

[0011] In the semiconductor device 1 of the present invention, as shown in Figs. 1 and 2, in appearance, the outer ends of leads 2 (external terminals 3) are embedded at the lower face periphery of a package 1 made of epoxy resin. As shown in Fig.

2, only the lower faces of the external terminals 3 are exposed from the package 1, and the external terminals 3 are used as terminals during packaging and terminals for characteristics tests (test pads). The package 1 is a rectangular body, that is, a flat body, and the upper face 4 and lower face 5 of the package 1 are parallel to each other. Since the package 1 is formed by transfer molding, the sides of the package 1 have a slope resulting from sloping the sides of the cavity of a mold in order to remove the package 1 easily from the mold.

[0012] In the center of the package 1, a tab 6 is located, on which a semiconductor chip 7 is fixed. In the vicinity of the periphery of the tab 6, the inner ends of the leads 2 are arranged. The inner ends of the leads 2 are electrically connected to the electrodes of the semiconductor chip 7, not shown, by conductive wires 9. The lead 2 extends from the vicinity of the periphery of the tab 6 (the semiconductor chip 7) toward the periphery of the package 1, bends on the lower face 5 side of the package 1 on the way in the package 1, and projects from the lower face 5 of the package 1. The lead 2 projecting from the package 1 bends at the projection position and extends to stick to the lower face of the package. The lead 2, which projects at the lower face 5 and bends, has its lower face and outer end exposed from the package and has its side portion embedded in the package. This exposed outer end portion of the lead serves as the external

terminal 3 for packaging and also as a measurement terminal for characteristics tests (a test pad).

[0013] Next, a method of manufacturing the semiconductor device of the present invention is described with reference to Figs. 3 to 8. In the manufacture of the semiconductor device of the present invention, a lead frame 15 as shown in Fig. 3 is prepared. This lead frame 15 is formed by the etching or patterning with a precision press of a metal sheet having a thickness of 0.15 mm-0.2 mm and made of a Fe-Ni alloy, a Cu alloy, or the like. The lead frame 15 has a shape in which a plurality of unit lead patterns are arranged in series in one direction. The unit lead patterns are formed inside a frame 19, which is formed by a pair of outer frames 16 extending in parallel and a pair of inner frames 17 connecting the pair of outer leads 16 and extending in the direction perpendicular to the outer frames 16. In the center of this frame 19, a rectangular tab (a support) 6 is provided. Narrow tab-suspending leads 20 extend respectively from the four corners of the frame 19 and respectively support at their tip ends the four corners of the tab 6.

[0014] On the other hand, a plurality of leads 2 extend in parallel to one another from the inside of each of the outer frames 16 and inner frames 17 of the frame 19 toward the tab 6 in the center of the frame 19. The lead pitch is, for example, 0.3-0.5 mm, and the lead width is 0.1-0.15 mm. Many of the leads

2 bend on the way and have their tip ends arranged in the vicinity of the tab 6. The tip end portions of the leads 2 and the tip end sides of the tab-suspending leads 20 including the tab 6 bend to be one step higher, as shown in Fig. 4, in order to finally obtain a structure in which the outer end portions of the leads 2 stick to the periphery of the lower face 5 of the package 1.

[0015] Next, such a lead frame 15 is subjected to chip bonding and wire bonding as shown in Figs. 5 and 6. In the lead frame of the present invention, as shown in Fig. 6, the center portion of the lead frame 15 is one step higher, so that a table 25, which supports the lead frame 15 in chip bonding and wire bonding, is also correspondingly one step higher to support the tab 6 and the inner end portions of the leads 2 which are one step higher. On the tab 6, a semiconductor chip 7 is fixed via a bonding material, not shown, by a common chip bonding device. Also, the electrodes of the semiconductor chip 7, not shown, are respectively connected to the inner ends of the leads 2 by conductive wires 9 by a common wire bonding device.

[0016] Next, the lead frame 15 is clamped and molded in the upper and lower molds 26 and 27 of a transfer molding device, as shown in Fig. 7. The molding is performed by injecting resin thorough a gate, not shown, into a cavity 29 formed by the upper and lower molds 26 and 27. Since the molding is performed in such a manner that the outer end portions of the leads 2 are exposed from the periphery of the lower face 5 of the package

1, in the upper and lower molds 26 and 27, the cavity 29 is provided in the upper mold 26. In the upper mold 26, the inner wall surface 30 of the cavity 29 has a slope in such a manner that the opening side of the cavity 29 is wider so that the package 1 is easily removed from the upper mold 26 after molding. Therefore, the peripheral surface of the formed package 1 has a slope facing the inner wall surface 30 of the cavity 29. In the transfer molding, the outer frames 16 and inner frames 17 of the lead frame 15 serve as a dam for preventing the resin from flowing out.

[0017] Next, in the lead frame 15, in which the transfer molding is completed, unnecessary lead frame portions are cut and removed to manufacture the semiconductor device as shown in Figs. 1 and 2. In the cutting and removal of the unnecessary lead frame, as shown in Fig. 8, the leads 2 and the tab-suspending leads 20 are cut by a die 35 and a punch 36. In this cutting, the leads 2 and the tab-suspending leads 20 are cut at the base portion of the package 1 so that the leads 2 and the tab-suspending leads 20 do not project from the periphery of the package 1. In practice, the lead cutting is performed at a position slightly apart from the periphery of the package 1 so that the punch 36 does not cut the periphery of the package 1. Therefore, the outer ends of the leads 2 project from the periphery of the package 1, for example, by less than 0.2 mm.

However, such a length of lead projection hardly causes the lead outer ends to catch other things and bend.

[0018]

[Effect of the Invention]

(1) The semiconductor device of the present invention has such a structure that the outer ends of the leads are stuck to the lower face periphery of the package. These outer ends can be used as external terminals (test pads) during packaging and also as measurement terminals for characteristics tests.

[0019] (2) The semiconductor device of the present invention has test pads on a surface of the package. The package is a simple rectangular body in which the front and back faces of the package are parallel to each other. Therefore, a cavity should be provided in one of molds for manufacturing the package, so that the manufacturing cost of the molds can be lowered.

[0020] (3) In the semiconductor device of the present invention, the external terminals of the leads are embedded except that their lower faces and outer ends are exposed from the lower face periphery of the package, and the external terminals of the leads hardly project from the rim of the package, so that the outer ends of the leads do not catch other things and bend. Therefore, lead bending hardly occurs.

[0021] (4) From the above (1)-(3), according to the present invention, the synergistic effect of being capable of providing

an inexpensive semiconductor device, in which the lead bending defect hardly occurs, is obtained.

[0022] While the invention made by the inventors is described specifically based on the embodiment, it should be understood that the present invention is not limited to the above embodiment and that various changes can be made without departing from the substance of the invention. For example, adjacent external terminals 3 may be located alternately in a staggered manner and partially widened so that the external terminals 3 are used as test pads for characteristics tests or packaging terminals. In this case, the lands of a packaging substrate should also be arranged in a staggered manner corresponding to the external terminals. In connection in the staggered arrangement, even if the lead pitch is narrow, the interval between the staggered connection portions is wide, so that the defect of solder bridges, in which solder connects between the external terminals 3, hardly occurs. In addition, in the present invention, the external terminals of the leads may be located at and stuck to both side rims of the lower face of the package without projecting from the package. Also in this semiconductor device, lead bending hardly occurs. In addition, while in the above embodiment, the lower faces of the external terminals 3 of the leads 2 are in substantially the same level as the lower face 5 of the package 1, the lower faces

of the external terminals 3 may be lower than the lower face 5 of the package 1.

[0023] In the above description, mainly, the case where the invention made by the inventors is applied to manufacturing technique for semiconductor devices, which are its background field of utilization, is described, however, the invention is not limited to this. The present invention can be applied to electronic parts having external terminals, and the like.

[Brief Explanation of the Drawings]

[Fig. 1] Fig. 1 is a cross-sectional view showing a semiconductor device according to one embodiment of the present invention.

[Fig. 2] Fig. 2 is a bottom view showing the semiconductor device according to the one embodiment of the present invention.

[Fig. 3] Fig. 3 is a plan view of a lead frame for use in the manufacture of the semiconductor device of the present invention.

[Fig. 4] Fig. 4 is a cross-sectional view of the lead frame for use in the manufacture of the semiconductor device of the present invention.

[Fig. 5] Fig. 5 is a cross-sectional view showing the lead frame in which chip bonding and wire bonding are completed in the manufacture of the semiconductor device of the present invention.

[Fig. 6] Fig. 6 is a cross-sectional view showing the lead frame which is mounted on the table of a wire bonding device in the manufacture of the semiconductor device of the present invention.

[Fig. 7] Fig. 7 is a cross-sectional view showing the lead frame in a transfer molded state in the manufacture of the semiconductor device of the present invention.

[Fig. 8] Fig. 8 is a cross-sectional view showing a state in which leads and tab-suspending leads are cut in the manufacture of the semiconductor device of the present invention.

[Explanation of References]

1: package, 2: lead, 3: external terminal, 4: upper face, 5: lower face, 6: tab, 7: semiconductor chip, 9: wire, 15: lead frame, 16: outer frame, 17: inner frame, 19: frame, 20: tab-suspending lead, 25: table, 26: upper mold, 27: lower mold, 29: cavity, 30: inner wall surface, 35: die, 36: punch

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-50380

(43)公開日 平成7年(1995)2月21日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/50	R			
21/60	3 0 1 B	6918-4M		

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21)出願番号 特願平5-196626

(22)出願日 平成5年(1993)8月9日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 日▲高▼ 光守

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 澤本 進一

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

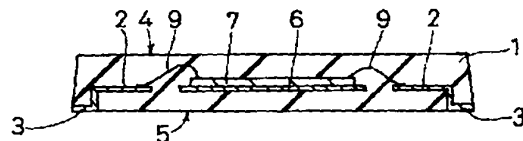
(74)代理人 弁理士 秋田 収喜

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 リード曲がりを効果的に防止できる半導体装置の提供。

【構成】 矩形体のレジスタパッケージ1の中央にはタブ6上に固定された半導体チップ7が位置し、この半導体チップ7の周縁近傍にリード2の内端が臨んでいる。リード内端と半導体チップ7の電極はワイヤ9で接続されている。リード2はパッケージ1内で下方に曲がり、パッケージ1の下面5に突出する。突出したリード2は突出箇所であがってパッケージ1の下面に張り付くように延在して外部端子3を形成する。外部端子3は下面および外端のみがパッケージ1から露出するが、側面部分はパッケージ1内に埋設され、かつ外端はパッケージ1の縁から殆ど突出しなくなるため、リード曲がりが起き難くなる。前記外部端子3は特性検査用の測定端子(テストパッド)ともなる。



1-パッケージ 2-リード 3-外部端子 7-半導体チップ

1

【特許請求の範囲】

【請求項 1】 パッケージと、このパッケージから突出する複数のリードとを有する半導体装置であって、前記リードはパッケージ内の途中で曲がって表裏の一面の途中に突出するとともに突出箇所まで曲がってパッケージの一面に張り付くように延在していることを特徴とする半導体装置。

【請求項 2】 前記パッケージの表裏面はそれぞれ平行な面となっており、下面に突出して曲がったリードは下面および外端のみがパッケージから露出していることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記リードの外端はパッケージの縁から長く突出することなく殆どパッケージと同じとなっていることを特徴とする請求項 1 または請求項 2 記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置、特にパッケージの表面に電気特性検査用のテストパッドを有する半導体装置に関する。

【0002】

【従来の技術】電子機器は、機能面から高密度実装化が、実装面から軽量化、小型化、薄型化が要請されている。この結果、組み込まれる電子部品の端子（リード、ピン）のピッチが狭小化するとともに、端子数も増大して多ピン化傾向にある。また、電子部品の製造コスト低減のために、パッケージ形態としては、材料が安くかつ生産性が良好な樹脂封止（レジンパッケージ）型半導体装置が多用されている。レジンパッケージ型半導体装置としては、金属製のリードフレームを用いるもの、表面にリードを形成した絶縁性フィルムを用いるもの（TCP: Tape Carrier Package）等が知られている。

【0003】リードフレームを用いた半導体装置については、日立評論社発行「日立評論」1992年第3号、平成4年3月25日発行、P75～P80に記載されている。この文献には、より小型・薄型のパッケージとして、TSOP (Thin Small Outline Package)、SSOP (Shrink Small Outline Package)、TQFP (Thin Quad Flat Package)、STZIP (Shrink Thin Zigzag Inline Package) が開示されている。また、SOP (Small Outline Package) はパッケージの2辺にアウターリードを配置し、QFP (Quad Flat Package) はパッケージの4辺にアウターリードを配置した構造となっている。

【0004】また、工業調査会発行「電子材料」1984年9月号、昭和59年9月1日発行、64頁には、一般のフラット・パッケージにおける端子形状の種類として、(a) J型リード (Rolled-under)、(b) ガルウィング (Gull-wing)、(c) バットリード (Butt-lead)、(d) フラットリード (Flat lead) がある旨記載されている。

2

【0005】一方、オーム社発行「National Technical Report」1993年4月号、同年4月18日発行、P104～P112には、0.3mmピッチQFP実装技術について記載されている。この文献には、「検査、出荷、梱包、運送時の危険に対してリード曲げ精度を保証する方法として、・・・保護リング付きQFPが、・・・TPQ (Test Pad with QFP) タイプのパッケージがそれぞれ提案されている。・・・また、TPQの方は、モールド部の上部と下部の寸法差をつけ、両者の段差部に検査用端子が配列したパッケージであり、・・・」旨記載されている。また、TPQについては、日経BP社発行「日経マイクロデバイス」1992年9月号、同年9月1日発行、P15にも記載されている。この文献には「新構造の欠点は、実装密度が少し低くなる点である。1.4mm角パッケージで約14%ピン数が少ない。ただしこの比率はパッケージ寸法が大きくなるほど小さくなる。」旨記載されている。

【0006】

【発明が解決しようとする課題】リードの曲がりを防止するために、前記文献にも記載されているように、検査用端子（テストパッド）をパッケージの表面に設けた半導体装置（テストパッド付き半導体装置）が開発されている。本発明も前記同様な技術に関するものである。

【0007】本発明の目的は、リード曲がりを効果的に防止できる半導体装置を提供することにある。本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0008】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。すなわち、本発明の半導体装置は、パッケージと、このパッケージから突出する複数のリードとを有する外観構造の半導体装置であるが、前記リードはパッケージ内の途中で曲がってパッケージ下面（裏面）の途中に突出するとともに突出箇所まで曲がってパッケージの下面に張り付くように延在する構造となっている。また、下面に突出して曲がったリードは下面および外端のみがパッケージから露出し、側面部分はパッケージ内に埋設されている。前記パッケージは単純な矩形体状となり、パッケージの表裏面はそれぞれ平行な面となっている。また、前記リードの外端はパッケージの縁から長く突出することなく略パッケージ縁まで延在している。この露出するリード部分は外部端子となるとともに、特性検査用の測定端子ともなっている。

【0009】

【作用】上記した手段によれば、本発明の半導体装置は、パッケージ内の裏面の途中からパッケージ外にリードが突出するとともに、突出箇所まで曲がってパッケージの下面に埋め込むように張り付き、かつまたリード先端はパッケージの縁から長く突出することなくパッケージ

3

の縁まで延在していることから、リードが他のものに引っ掛かるおそれもなくリード曲がりが防止できる。また、パッケージの下面に突出したリードは、突出箇所まで曲がってパッケージの下面に埋め込むように張り付き、かつ一面を露出させる構造となっていることから、外部端子としても測定端子としても使用できる。

【0010】

【実施例】以下図面を参照して本発明の一実施例について説明する。図1は本発明の一実施例による半導体装置を示す断面図、図2は同じく底面図、図3は本発明の半導体装置の製造に用いられるリードフレームの平面図、図4は同じくリードフレームの断面図、図5は同じく半導体装置の製造においてチップボンディング、ワイヤボンディングが終了したリードフレームを示す平面図、図6は同じくワイヤボンディングが終了したリードフレームの断面図、図7は同じくトランスファモールド状態のリードフレームの断面図、図8は同じくリード切斷状態を示す断面図である。

【0011】本発明の半導体装置1は、図1および図2に示すように、外観的にはエポキシレジンからなるパッケージ1の下面周縁にリード2の外端（外部端子3）が埋め込まれた形状となっている。前記外部端子3は、図2に示すように下面のみがパッケージ1から露出し、実装時の端子や特性検査用の端子（テストパッド）として使用される。パッケージ1は、矩形体、すなわち偏平体となり、パッケージ1の上面4と下面5は平行となっている。また、パッケージ1の側面は、前記パッケージ1がトランスファモールドで形成されるため、モールド型からパッケージ1が抜け易くするためにキャビティの側面を傾斜させた結果生じる斜面となっている。

【0012】前記パッケージ1内の中央にはタブ6が位置し、このタブ6上に半導体チップ7が固定されている。また、前記タブ6の周縁近傍には、リード2の内端が臨んでいる。そして、このリード2の内端と、前記半導体チップ7の図示しない電極は、導電性のワイヤ9によって電気的に接続されている。前記リード2は、タブ6（半導体チップ7）の周縁近傍からパッケージ1の周縁に向かって延在するが、パッケージ1内において途中でパッケージ1の下面5側に曲がってパッケージ1の下面5から突出する。また、パッケージ1から突出したリード2は突出箇所まで曲がってパッケージの下面に張り付くように延在する構造となっている。下面5に突出して曲がったリード2は下面および外端がパッケージから露出し、側面部分はパッケージ内に埋設されている。この露出したリード外端部分は、実装用の外部端子3となるとともに、特性検査用の測定端子（テストパッド）ともなる。

【0013】つぎに、本発明の半導体装置の製造方法について、図3乃至図8を参照しながら説明する。本発明の半導体装置の製造においては、図3に示されるような

4

リードフレーム15が用意される。このリードフレーム15は、0.15mm～0.2mmの厚さのFe-Ni系合金あるいはCu合金等からなる金属板をエッチングまたは精密プレスによってパターンニングすることによって形成される。リードフレーム15は、複数の単位リードパターンを一方向に直列に並べた形状となっている。単位リードパターンは、一対の平行に延在する外枠16と、この一対の外枠16を連結しかつ外枠16に直交する方向に延在する一対の内枠17とによって形成される枠19内に形成されている。この枠19の中央には、矩形状のタブ（支持体）6が配設されている。また、前記枠19の四隅からは細いタブ吊りリード20が延在し、その先端で前記タブ6の四隅をそれぞれ支持している。

【0014】一方、前記枠19の各外枠16および内枠17の内側からは、相互に平行となって枠19の中央のタブ6に向かって複数のリード2が延在している。リードピッチは、たとえば0.3～0.5mmとなり、リード幅は0.1～0.15mmとなる。また、前記リード2の多くは途中で屈曲してその先端をタブ6の近傍に臨ませている。また、前記リード2の先端部およびタブ6を含むタブ吊りリード20の先端側は、図4に示すように、屈曲して一段高くなっている。これは、最終的にはリード2の外端部が、パッケージ1の下面5の周縁に張り付いた構造とするためである。

【0015】つぎに、このようなリードフレーム15に対して、図5および図6に示すように、チップボンディングおよびワイヤボンディングが行われる。本発明のリードフレームにおいては、図6に示すように、リードフレーム15の中央部分は一段高くなっていることから、チップボンディングやワイヤボンディングの際のリードフレーム15を支持するテーブル25もこれに対応して一段高くなり、一段高くなったタブ6やリード2の内端部分を支えるようになっている。前記タブ6上には、常用のチップボンディング装置により半導体チップ7が図示しない接合材を介して固定される。また、常用のワイヤボンディング装置によって、前記半導体チップ7の図示しない電極と、リード2の内端は導電性のワイヤ9でそれぞれ接続される。

【0016】つぎに、前記リードフレーム15は、図7に示すようにトランスファモールド装置のモールド上・下型26、27に型締めされてモールドされる。モールドは前記モールド上・下型26、27によって形成されたキャビティ29内に図示しないゲートを介してレジンを注入することによって行われる。リード2の外端部分がパッケージ1の下面5周縁に露出するようにモールドするため、モールド上・下型26、27においては、キャビティ29はモールド上型26に設けられる。また、モールド上型26においては、モールド後、モールド上型26からパッケージ1が抜け易くなるように、前記キャビティ29の内周壁面30はキャビティ29の開口側

が広くなるような斜面となっている。したがって、形成されたパッケージ 1 の周面は、前記キャビティ 29 の内周壁面 30 に対面する斜面となっている。また、前記トランスファモールドにおいて、リードフレーム 15 の外枠 16 および内枠 17 は、レジンの流出を防止するダム

【0017】つぎに、トランスファモールドが終了したリードフレーム 15 において、不要リードフレーム部分が切断除去され、図 1 および図 2 に示されるような半導体装置が製造される。前記不要リードフレームの切断除去においては、図 8 に示すように、ダイ 35 およびボンチ 36 によってリード 2 やタブ吊りリード 20 が切断されるが、この切断においてリード 2 やタブ吊りリード 20 はパッケージ 1 の付け根部分で切断し、パッケージ 1 の周縁からリード 2 やタブ吊りリード 20 が突出しないようにする。実際には、ボンチ 36 でパッケージ 1 の周縁を切断しないようにパッケージ 1 の周縁からわずかに離れた位置でリード切断が行われる。したがって、リード 2 の外端はパッケージ 1 の周縁から、たとえば、0.2 mm にも満たない程度突出することになる。しかし、このような長さのリード突出は、リード外端が他のものに引っ掛かって曲がる原因にはなり難い。

【0018】

【発明の効果】

(1) 本発明の半導体装置は、パッケージの下面周縁にリードの外端を張り付けたような構造となり、この外端は実装時の外部端子（テストパッド）として使用できるとともに、特性検査用の測定端子としても使用できるという効果が得られる。

【0019】(2) 本発明の半導体装置は、パッケージの表面にテストパッドを有する構造となるが、パッケージの表裏面が相互に平行となる単純な矩形体となるため、パッケージを製造するモールド型は、一方にキャビティを設ければ良く、モールド型の制作コストを安価とすることができるという効果が得られる。

【0020】(3) 本発明の半導体装置は、リードの外部端子はパッケージの下面周縁に下面および外端を露出させる以外は埋め込まれた構造となっているとともに、パッケージの縁から殆ど突出しないことから、リードの外端が他のものに引っ掛かって曲がるようなこともなく、リード曲がりが起き難いという効果が得られる。

【0021】(4) 上記 (1) ~ (3) により、本発明によれば、リード曲がり不良が発生し難い安価な半導体装置を提供することができるという相乗効果が得られる。

【0022】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で

種々変更可能であることはいうまでもない、たとえば、前記外部端子 3 は隣合う外部端子 3 を交互に千鳥状に部分的に太くして配置して、特性検査用のテストパッドあるいは実装端子として使用してもよい。この場合、実装基板のランドも前記外部端子に対応して千鳥状配列とする必要がある。千鳥状配列による接続は、リードピッチが狭くなっても、千鳥状の接続部分の間隔は広い状態にあることから、外部端子 3 間を半田が繋げてしまう半田ブリッジなる不良が発生し難くなる効果がある。また、本発明はパッケージの下面両側縁にそれぞれリードの外部端子をパッケージから突出させることなく張り付けた状態で配置する構造としても良い。この半導体装置においてもリード曲がりが起き難いものとなる。また、前記実施例では、リード 2 の外部端子 3 の下面とパッケージ 1 の下面 5 が略同一平面となっているが、外部端子 3 の下面がパッケージ 1 の下面 5 よりも低い構造であっても良い。

【0023】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である半導体装置の製造技術に適用した場合について説明したが、それに限定されるものではない。本発明は外部端子を有する電子部品などに適用できる。

【図面の簡単な説明】

【図 1】本発明の一実施例による半導体装置を示す断面図である。

【図 2】本発明の一実施例による半導体装置を示す底面図である。

【図 3】本発明の半導体装置の製造に用いられるリードフレームの平面図である。

【図 4】本発明の半導体装置の製造に用いられるリードフレームの断面図である。

【図 5】本発明の半導体装置の製造においてチップボンディング、ワイヤボンディングが終了したリードフレームを示す断面図である。

【図 6】本発明の半導体装置の製造においてワイヤボンディング装置のテーブル上に載置されたリードフレームを示す断面図である。

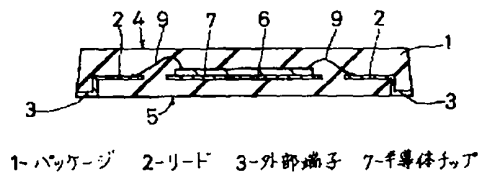
【図 7】本発明の半導体装置の製造においてトランスファモールド状態のリードフレームを示す断面図である。

【図 8】本発明の半導体装置の製造においてリードおよびタブ吊りリードを切断する状態を示す断面図である。

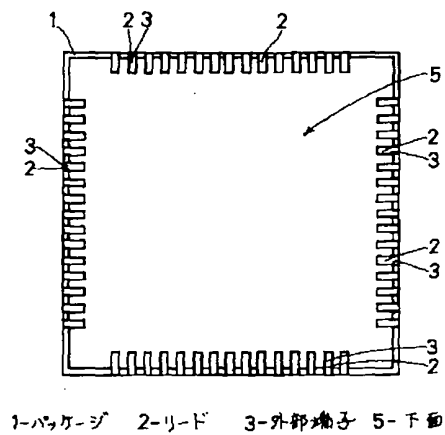
【符号の説明】

1…パッケージ、2…リード、3…外部端子、4…上面、5…下面、6…タブ、7…半導体チップ、9…ワイヤ、15…リードフレーム、16…外枠、17…内枠、19…枠、20…タブ吊りリード、25…テーブル、26…モールド上型、27…モールド下型、29…キャビティ、30…内周壁面、35…ダイ、36…ボンチ。

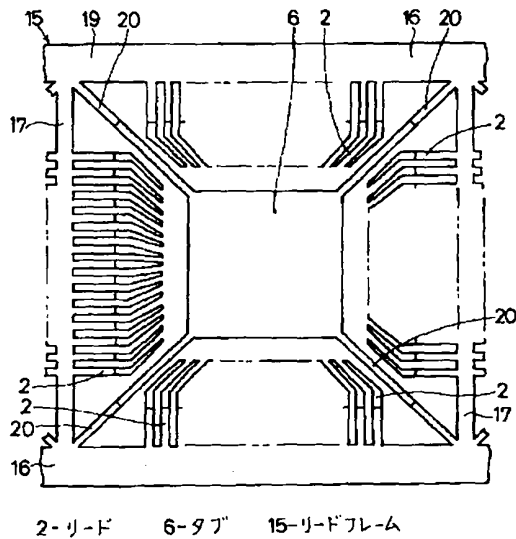
【図1】



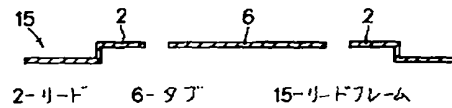
【図2】



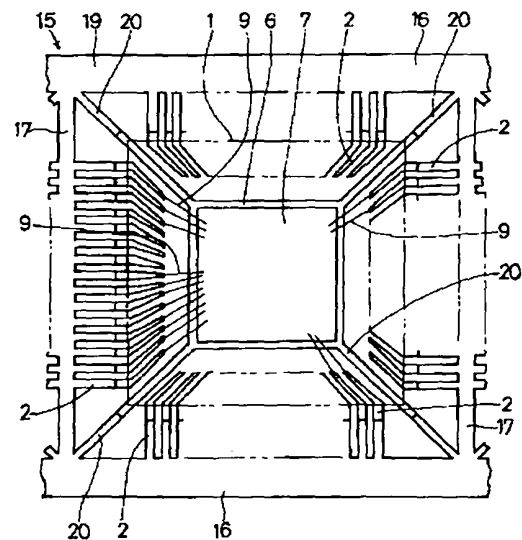
【図3】



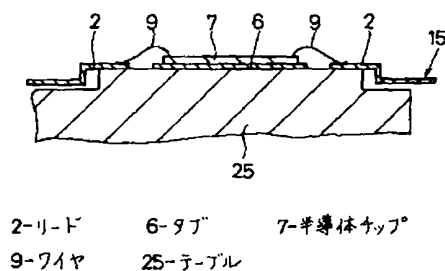
【図4】



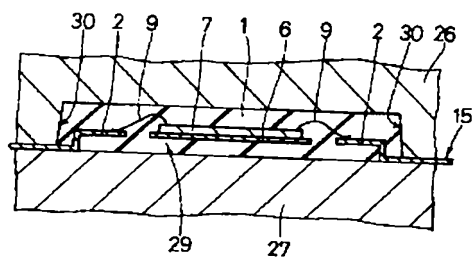
【図5】



【図6】

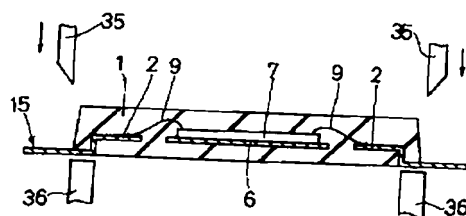


【図7】



- 1-パッケージ 2-リード 26-モールド上型
27-モールド下型 29-キャビティ 30-内周壁面

【図8】



- 1-パッケージ 2-リード 7-半導体チップ
15-リードフレーム 35-タイ 36-ボンダ